

Винахід належить до автоматики, а точніше - до пристроїв програмно-логічного керування об'єктами дискретної циклічної дії.

Відомий програмований логічний контролер (а.с. 1302242 СРСР, 30.12.85, G05B19/18, опубл. 07.04.97, Бюл. №13), що є пристроєм керування паралельної дії і містить перший, другий, третій і четвертий блоки пам'яті, перший і другий лічильники імпульсів, перший і другий елементи І, генератор імпульсів, перший і другий блоки порівняння, елемент 2І-АБО і блок індикації, причому інформаційний вхід програмувального логічного контролера з'єднаний з першим входом першого блоку порівняння, другий вхід якого підключений до виходу першого блоку пам'яті, вихід першого лічильника імпульсів з'єднаний з адресними входами першого і другого блоків пам'яті, а його інформаційний вхід - з інформаційним виходом третього блоку пам'яті, перший вхід блоку індикації з'єднаний з інформаційним входом програмованого логічного контролера, другий вхід - з виходом першого блоку порівняння, третій вхід - з інформаційним виходом першого лічильника імпульсів, четвертий вхід - з інформаційним виходом другого блоку пам'яті і виходом програмованого логічного контролера, другий вихід першого блоку порівняння з'єднаний з першим входом першого елемента І, інверсний вхід якого з'єднаний з виходом другого блоку пам'яті і першим входом елемента 2І-АБО, другий вхід якого з'єднаний з третім входом елемента 2І-АБО, з виходом другого блоку порівняння й інверсним входом другого елемента І, другий вхід якого підключений до виходу генератора імпульсів, а вихід - до входу другого лічильника імпульсів, вихід якого з'єднаний з адресними входами третього і четвертого блоків пам'яті, встановлюючий вхід першого лічильника імпульсів з'єднаний з входом початкової установки програмувального логічного контролера, адресний вхід - з виходом елемента 2І-АБО, рахунковий вхід - з виходом першого елемента І, інформаційний вхід програмувального логічного контролера з'єднаний з першим входом другого блоку порівняння, другий вхід якого підключений до виходу четвертого блоку пам'яті, четвертий вхід елемента 2І-АБО з'єднаний з виходом третього блоку пам'яті.

Відоме рішення забезпечує програмне керування об'єктами як з детермінованою, так і з випадковою послідовністю виконуваних операцій, але характеризується двома серйозними недоліками. Перший недолік складається у тому, що при паралельному засобі керування циклом роботи об'єкта (наприклад - технологічного агрегату) аналіз умов розгалуження циклу (аналіз зовнішнього середовища) виконується послідовно, умова за умовою, що обмежує швидкість пристрою, другий недолік полягає у тому, що в даному пристрої відсутня можливість обробки інформації, представленої у виді імпульсних парафазних сигналів, застосовуваних з метою забезпечення безпеки (наприклад, у системах автоматики на залізничному транспорті).

Найбільш близьким по сукупності ознак до пропонованого винаходу є програмований логічний контролер (UA 39306 А, 10.02.2000, G05B19/18, опубл. 15.06.2001. Бюл. №5), що містить блок пам'яті станів, блок пам'яті команд і блок індикації, причому вихід блоку пам'яті команд є виходом пристрою, у якому цілком усунутий перший недолік аналога: аналіз усіх можливих комбінацій умов переходів виконується паралельно (одночасно).

Причини, що перешкоджають досягненню прототипом очікуваного технічного результату, полягають у наступному: контролер має обмежені можливості в частині забезпечення достовірного контролю як вхідного потоку інформації, так і результатів його логічної обробки, у наслідок чого в контролері не гарантується реалізація функцій безпечного керування.

В основу винаходу поставлена задача вдосконалення програмованого логічного контролера шляхом введення спеціальних елементів і зв'язків між ними, що забезпечують можливість використання часової та інформаційної надмірності, що дозволить забезпечити безупинний достовірний контроль як вхідного потоку інформації, так і результатів його логічної обробки, чим гарантується реалізація функцій безпечного керування.

Реалізація поставленої задачі досягається тим, що в програмований логічний контролер, що містить блок індикації, блок пам'яті станів і блок пам'яті команд, причому вихід блоку пам'яті команд є виходом пристрою, відповідно до винаходу введений блок регістрів зсуву, вихід якого підключений до першого входу блоку пам'яті станів і входу блоку пам'яті команд, перший вхід блоку регістрів зсуву є першим входом пристрою, другий вхід блоку регістрів зсуву підключений до першого виходу блоку пам'яті станів, другий вихід блоку пам'яті станів підключений до входу блоку індикації, другий вхід блоку пам'яті станів є другим входом пристрою.

Введення вказаних відрізняючих ознак винаходу дозволяє виключити можливість формування небезпечного керуючого впливу при однократній відмові в контролері чи при будь-яких відмовах у пристроях гальванічної розв'язки як по входу, так і по виходу.

На фіг.1 приведена блок-схема пропонованого пристрою; на фіг.2 приведена функціональна схема блоку регістрів зсуву.

Пристрій містить блок індикації 1, блок пам'яті станів 2, блок регістрів зсуву 3, блок пам'яті команд 4, причому вихід блоку пам'яті команд 4 є виходом пристрою, вихід блоку регістрів зсуву 3 підключений до першого входу блоку пам'яті станів 2 і входу блоку пам'яті команд 4, перший (встановлюючий) вхід блоку регістрів зсуву 3 є першим входом пристрою, другий вхід блоку регістрів зсуву 3 підключений до першого виходу блоку пам'яті станів 2, другий вихід блоку пам'яті станів 2 підключений до входу блоку індикації 1, другий вхід блоку пам'яті станів 2 є другим входом пристрою.

Блок пам'яті станів 2 і блок пам'яті команд 4 призначені для збереження програми керування роботою об'єкта, що обслуговується, що являє собою набір логічних рівнянь і складається з двох частин: 1) комбінації команд на включення і вимикання m механізмів (записується в блок пам'яті команд 4), 2) комбінації станів, у які повинний перейти автомат у наступному такті роботи в залежності від його поточного стану і стану датчиків, що фіксують положення механізмів (записується в блок пам'яті станів 2).

Інформація про поточні стани автомата зберігається в блоці регістрів зсуву 3.

Блок індикації 1 призначений для відображення інформації про поточний стан автомата й очікуваний стан датчиків.

Реалізація пропонованого пристрою можлива, наприклад, з використанням стандартних програмованих логічних інтегральних схем (ПЛИС) (див. Стешенко В.Б. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов. - М.: ДОДЭКА, 2000. - 128с). В якості блока індикації можливе використання

стандартних елементів індикації.

Програмований логічний контролер працює таким чином. Встановлення його в початковий стан здійснюється за допомогою зовнішнього імпульсу початкової установки ПУ, що обнуляє регістри зсуву. Умовно роботу автомата можна розділити на два такти, при цьому кодування інформації, що надходить від датчиків і зберігається в блоці регістрів зсуву у виді імпульсних парафазних сигналів, здійснюється таким чином:

- 1) у першому такті логічному нулю відповідає комбінація сигналів «00», логічній одиниці - «01»;
- 2) у другому такті логічному нулю відповідає комбінація сигналів «00», логічній одиниці - «10».

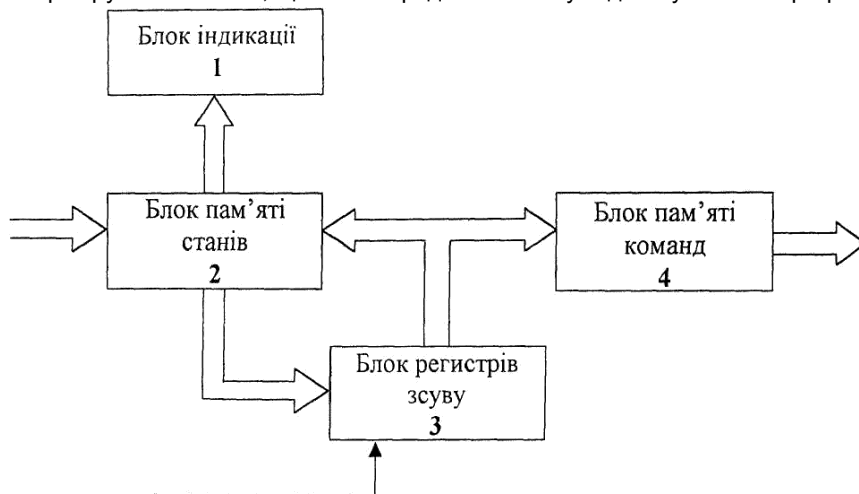
Всі інші комбінації сигналів є забороненими і переводять автомат у так званий «більш забороняючий стан», при якому не відбувається помилкове включення виконавчих механізмів.

Інформація про стан об'єкта керування і поточний стан автомата у виді імпульсних парафазних сигналів надходить на входи блоку пам'яті станів. В результаті рішення логічних рівнянь на виході блоку пам'яті станів формується керуючий вектор, що надходить на вхід блоку регістрів зсуву. Блок регістрів зсуву (фіг.2) являє собою набір ключів K1-Kn, регістрів P1-Pn і пристроїв мажоритування M1-Mn. При надходженні на вхід ключа Kі сигналу "01" здійснюється його переключення в стан логічного нуля, при надходженні сигналу «10» - у стан логічної одиниці. При надходженні на вхід Kі інших сигналів («00» чи «11») він залишається в попередньому стані. З виходу Kі сигнал надходить на вхід шестиразрядного регістра зсуву Pі. Таким чином, тільки у випадку надходження на вхід Kі імпульсного парафазного сигналу, на виході регістра зсуву Pі формується керуючий вектор «101010» (у першому такті) чи «010101» (у другому такті), що надходить на вхід пристрою мажоритування Mі. У Mі записані наступні логічні рівняння:

$$Y_0 = \bar{X}_0 \cdot X_1 \cdot \bar{X}_2 \cdot X_3 + \bar{X}_0 \cdot X_1 \cdot \bar{X}_4 \cdot X_5 + \bar{X}_2 \cdot X_3 \cdot \bar{X}_4 \cdot X_5$$

$$Y_1 = X_0 \cdot \bar{X}_1 \cdot X_2 \cdot \bar{X}_3 + X_0 \cdot \bar{X}_1 \cdot X_4 \cdot \bar{X}_5 + X_2 \cdot \bar{X}_3 \cdot X_4 \cdot \bar{X}_5$$

Сигнали Y0 та Y1 з виходів пристроїв мажоритування M1-Mn надходять на входи блоків пам'яті станів і команд. У результаті рішення логічних рівнянь у блоці пам'яті команд, на виході цього блоку формується вектор керуючих впливів, що також представлений у виді імпульсних парафазних сигналів.



фіг. 1

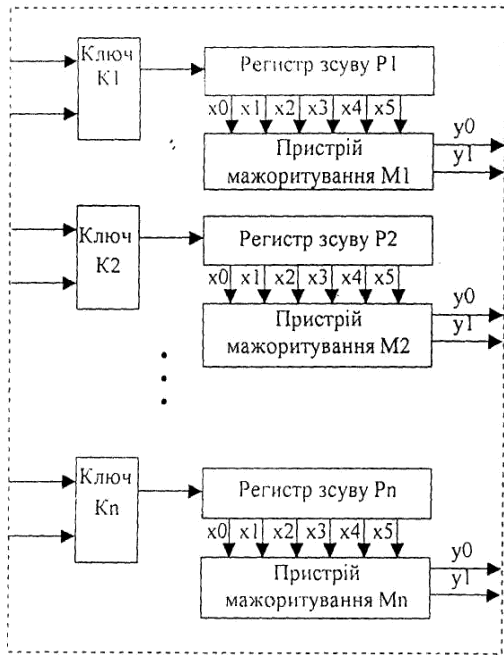


рис. 2